

超薄栅氧化层等离子体损伤的工艺监测

赵文彬^{1,2}, 李蕾蕾^{1,2}, 于宗光²

(1. 西安电子科技大学微电子学院, 陕西西安 710071; 2. 中国电子科技集团公司第五十八研究所, 江苏无锡 214035)

摘要: 随着集成电路向深亚微米、纳米技术发展, 等离子体充电对制造工艺造成的影响, 尤其对超薄隧道氧化层的损伤越来越显著. 本文分析了等离子体工艺损伤机理以及天线效应, 设计了带有多晶、孔、金属等层次天线监测结构的电容和器件, 并有不同的天线比. 设计结构简单、完全工艺兼容, 测试结果直观、测量灵敏度高等优点, 实现了等离子体损伤芯片级工艺监控. 测试分析表明, 不同的膜层结构, 等离子体损伤程度不同, 当天线比大于 10^3 以后, 充电损伤变得明显. 同时测试也发现了工艺损伤较为严重的环节, 为优化制造工艺, 提高超薄栅氧化层抗等离子体损伤能力提供了科学的依据.

关键词: 栅氧化层; 等离子体损伤; 天线结构; 工艺监测

中图分类号: TN405 文献标识码: A 文章编号: 0372-2112 (2009) 05-0947-04

Process Monitor of Plasma Charging Damage in Ultra-Thin Gate Oxide

ZHAO Wen bin^{1,2}, LI Lei lei^{1,2}, YU Zong-guang²

(1. Xidian University School of Microelectronics, Xi'an, Shaanxi 710071, China;

2. No. 58 Institute, China Electronic Technology Group Corporation, Wuxi, Jiangsu 214035, China)

Abstract: With the development of IC to deep sub micron and nanometer technology, plasma damage by charging to the CMOS devices, especially to the ultra thin gate oxide becomes more and more prominent. The mechanisms of plasma damage and antenna effect are analyzed in this paper. Capacitors and devices with different antenna ratio, composed of poly, contact and metal, are designed, and embed with process. And the test structures are discussed and those results are obvious and sensitive, achieving the wafer level process monitor of plasma charging damage in ultra thin gate oxide. The results show that the plasma damage changes with process. Once the antenna ratio is over 10^3 , the plasma damage becomes easily to be found. Meantime it could be found which process step induced the charging damage is serious, what studied in this paper offers scientific references to increase the gate oxide ability against the plasma charging damage.

Key words: gate oxide; plasma charging damage; antenna structure; process monitor

1 引言

随着超大规模集成电路特征尺寸的不断缩小, 等离子体技术在半导体工艺中的应用日益增多. 对于先进的集成电路生产线而言, 由于高密度等离子体设备的使用和栅氧化层不断减薄, 等离子体损伤对栅氧性能影响加剧, 同时, 由于设备性能退化使得设备自身的等离子体均匀性变差, 同样造成栅氧质量下降. 由等离子体工艺对器件损伤而引起的可靠性问题在八十年代就已提出来^[1], 当器件尺寸进入深亚微米量级以后, 结构上采用多层金属布线提高集成度, 工艺上则需要在等离子中经过多次金属刻蚀、绝缘介质沉积和具有高纵横比孔的刻蚀, 也就是说随着器件尺寸的减小, 等离子体技术在半导体工艺中所占的比重越来越大. 同时由于深亚微米器

件对工艺的要求更加苛刻, 如需要对大纵横比的孔进行刻蚀及材料淀积, 导致高密度等离子体的应用日益增多, 加重了等离子体加工对器件损伤的程度^[2~5].

在 GAL (gate array logic) 电路和射频功率 (RF LD-MOS) 器件领域, 由于此类电路具有超薄栅氧化层 (8nm)、较小的有源区面积或隧道孔 ($0.8 \times 0.8 \mu\text{m}^2$)、大面积的多晶和多层金属天线、较高的跨导参数要求等结构特性, 制造工艺引起的等离子损伤加剧, 等离子体充电损伤主要存在于大束流离子注入^[6]、干法腐蚀、等离子体化学气相淀积 (PECVD) 等工序^[7]. 等离子体损伤已经成为器件栅氧化层退化的一个重要因素, 它已经严重限制了产品的成品率和长期可靠性. 在国外, 对等离子体工艺损伤的研究非常重视, 每年都举行专门研究等离子体工艺损伤 (plasma process induced damage, P2ID) 的会

议 P2ID, 对于损伤的研究已经非常深入, 但通常理论分析很多, 测试复杂, 和实际制造工艺结合, 具有芯片级监测等离子损伤的研究不足^[5,8,9]. 本文针对 0.5μm 以下的深亚微米工艺, 结合 GAL 和射频电路结构特点, 设计了不同工艺结构的等离子损伤测试结构, 给出了相应的测试方法和结果, 测试可靠、明确、快捷, 实现了芯片级等离子体损伤在线工艺监控, 为稳定工艺质量提供了科学的依据.

2 机理分析

在半导体工艺过程中, 圆片经历多次离子刻蚀、注入等对薄氧有潜在损伤的工序. 损伤通常是在工艺过程中存在高压电极电场“浮置”在氧化层的上方, 高压引起电子穿过氧化层. 这些高电场, 以及高能隧道电子能够损伤氧化层或 Si/SiO₂ 的界面^[3]. 表面聚集的总电荷是暴露在束流中面积的函数, 同时电容和面积成正比, 电容也依赖氧化层厚度, 所以, 相同电荷的多晶图形在场氧上的电压大于在栅氧上的电压, 这意味着这种类型的损伤, 对大面积场氧上的多晶和小面积栅氧上的多晶相连是很危险的. 在这种情况下, 电荷从大面积上收集, 电压是由初始的大面积场氧上的电压决定, 所以, 此结构形成很高的电场穿过相对小的栅氧. 当高能电子仅隧穿过栅氧, 不能隧穿过场氧, 这同样也产生高的电流密度, 这样, 所有在天线上的电荷都压制在较小的栅氧区域^[10,11].

如图 1 所示, 把孤立物体放进等离子体中, 它立刻会受到各种粒子轰击, 由于电子质量最小并且温度最高, 其平均速度约是离子速度和中性粒子速度的 10000 倍^[3,11]. 因此, 孤立物体表面迅速积累负电荷, 这样, 就建立了一个相对于等离子体电势

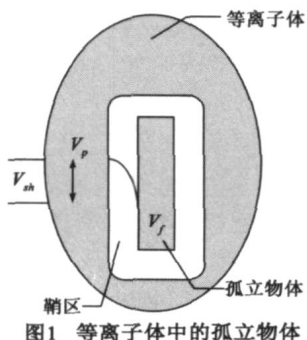


图1 等离子体中的孤立物体

(plasma potential, V_p) 的负电势. 该负电势称为浮体电势 (floating potential, V_f), V_f 排斥来自等离子体的低能电子, 直到到达孤立物体的电子和离子平衡, 这个过程在几微秒内完成. 排斥电压导致孤立物体周围的电子比等离子体中的电子少, 该区域称为等离子体鞘区 (sheath), 由于电子密度低使光发射降低, 这个区域也称为暗区. 等离子体和孤立物体之间的电势差称为鞘电势 ($V_{sh} = V_p - V_f$). 鞘电势对电子起阻碍作用, 对正离子起加速作用, 使离子平行准直运动, 这也是等离子体被引入半导体工艺的基本原因. 电压降不会进入等离子体, 因为等离子体中的电子一直在高速运动, 可以有

效的屏蔽电场, 这样, 限制了暗区电场对等离子体中的正离子的抽取, 只有那些由于热运动从等离子体中逸出进入暗区的正离子才会被加速向孤立物体运动^[12].

实际上, 在等离子体中的很短距离内 (德拜长度) 存在电压降^[3], 电压降为 $kT_e/2e$, 该电压降和鞘电压无关. 其中 k 是玻尔兹曼常数, T_e 是电子温度, e 是电子电荷. 在此电压的作用下, 正离子被加速向鞘区运动, 导致实际的离子流比纯粹由随机热运动产生的离子流大得多, 根据 Bohm 准则得出得离子流 (I_{ion}) 为^[3]:

$$I_{ion} = 0.6n \sqrt{\frac{kT_e}{M}} \quad (1)$$

式中: n 是等离子体密度, k 是玻尔兹曼常数, T_e 是电子温度, M 是正离子质量.

例如氩 (Ar) 的放电, 等离子体密度等于离子密度, 也等于电子密度, 假设 $n = 1E12/cm^3$, $kT_e = 4eV = 6.4E - 19Kg m^2/s^2$, $M = 6.64E - 26Kg$, 可以求出 $I_{ion} = 29.8mA/cm^2$.

在稳态时, 克服鞘电压到达孤立物体的电子流 (I_{sh}) 为^[3]:

$$I_{sh} = \frac{1}{4} n \sqrt{\frac{8kT_e}{\pi m} \exp\left(\frac{eV_{sh}}{kT_e}\right)} \quad (2)$$

式中: n 是等离子体密度, k 是玻尔兹曼常数, T_e 是电子温度, m 是电子质量, e 是电子电荷, V_{sh} 是鞘电势. 在稳态时, 克服鞘电压到达孤立物体的电子流 (I_{sh}) 和离子流 (I_{ion}) 应该相等^[3], 由式 (1), (2) 联立, 得到鞘电压 (V_{sh}) 为:

$$V_{sh} = \frac{kT_e}{2e} \ln \left[\frac{2.3m}{M} \right] \quad (3)$$

式中: V_{sh} 是鞘电势, k 是玻尔兹曼常数, T_e 是电子温度, e 是电子电荷, m 是电子质量, M 是正离子质量. 该式表明鞘电压和等离子体电压无关, 仅由电子温度和电子、离子的质量比决定.

3 测试结构设计

假如一个器件通过大面积栅极收集等离子体中的离子流并把它传送到小面积的栅氧区, 为了维持电荷平衡, 由衬底注入的隧道电流也需要同时增加, 增加倍数是栅极面积与栅氧面积之比, 这种现象称为“天线效应”^[3,5]. 这种器件称为天线器件, 大面积的收集区 (例如多晶或金属) 位于厚场氧化层上, 从而只需要考虑栅氧上的隧道效应. 大面积导体称为天线, 天线器件的隧道电流放大因子等于场氧上的导体面积和栅氧上导体面积之比, 称为天线比. 天线结构如图 2 所示, I_i 和 I_e 为大面积多晶或金属天线收集的离子和电子流, I_{FN} 为栅氧上的隧道电流, 由于天线效应和隧道氧化层较薄,

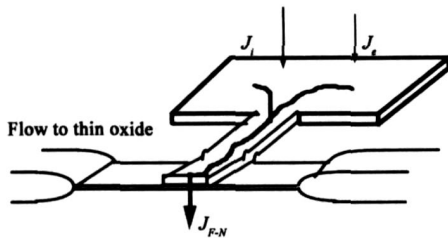


图2 场氧上的大面积导体收集离子流并传送到栅氧上导致隧道电流密度显著增加

隧道电流显著增加。

假设天线比为 1000: 1, 则天线收集的离子流为 $1\text{mA}/\text{cm}^2 * 1000 = 1\text{A}/\text{cm}^2$ 。为了维持电荷平衡, 隧道电流密度也相应的从 $1\text{mA}/\text{cm}^2$ 变为 $1\text{A}/\text{cm}^2$, 不仅如此, 氧化层上的电压降也随之增加。假如 $10\text{MV}/\text{cm}$ 的场强可以产生的 $1\text{mA}/\text{cm}^2$ 隧道电流, 那么产生的 $1\text{A}/\text{cm}^2$ 隧道电流需要 $13\text{MV}/\text{cm}$ 的场强, 这样, 氧化层上的电压降就不是 10V 而是 13V 。对于栅氧击穿, 不仅取决于流经栅氧的总电荷, 场强也起着重要作用。天线结构不仅使隧道电流急速增加, 也使场强应力急速增加, 因此, 天线结构引起的损伤特别严重。

我们研究了多篇文章中测试结构的描述^[3-9], 通常理论分析很多, 测试复杂, 或出于保密原因和制造工艺结合的实用结构不多, 甚至测试不出结果。本文在 $0.5\mu\text{m}$ CMOS 工艺中, 采用三种薄栅氧化层厚度 (8nm , 10nm , 12.5nm), 同时利用天线效应, 针对注入、PECVD 淀积、多晶、孔、金属刻蚀等工艺, 我们设计了一套完整的等离子体损伤测试结构, 主要包括:

(1) 大面积无天线结构的电容, 测量氧化层的 Q_{BD} , 检查氧化层本身的生长质量。电容分为二种类型, 多晶覆盖场区和多晶与场区有间距, 多晶覆盖场区用来检查有源区边缘的质量, 因为存在鸟嘴, 场区边缘的氧化层质量相对较差, 容易发生早期击穿。每种类型各有三种面积: $200\mu\text{m} * 100\mu\text{m}$, $200\mu\text{m} * 300\mu\text{m}$, $200\mu\text{m} * 900\mu\text{m}$, 衬底为 n^+ 。测量 Q_{BD} 时, 栅上电压为正, 应力电流密度为 $1\text{nA}/\mu\text{m}^2 \sim 5\text{nA}/\mu\text{m}^2$, 根据击穿时间调试, 正常点击穿时间在控制在 20s 以上。

(2) 不同天线比的小面积电容, 检查等离子体工序对氧化层质量的影响。天线层次包括: 多晶、NSD、PSD、接触孔、金属 1、通孔、金属 2, 改变隧道孔面积 ($0.55 * 0.55$ 、 $0.7 * 0.7$ 、 $0.9 * 0.9$ 、 $2.0 * 2.0$ 、 $5.0 * 5.0\mu\text{m}^2$) 和天线面积 (10^3 , 10^4) 来变化天线比, 检查不同工序的等离子体损伤程度。

图 3 是以多晶为天线的版图结构示意图, 表 1 为版图结构对应的压点 (PAD) 说明。隧道孔和多晶的条宽/间距在设计规则附近变化, 检查是否存在电子阴影效应产生的充电损伤。除了天线外, PAD 上的多晶面积尽可能小, 减轻面天线效应。同时还设计了对应没有天线的对比结构。

表 1 多晶天线版图 PAD 说明

层次	条宽/间距	天线比	隧道孔	Pad1	Pad2	Pad3	Pad4	Pad5	Pad6	Pad7	Pad8
多晶	0.8/1.2	10^4	0.9	gate	gnd						
多晶	0.8/1.2	10^4	2.0					gate	gnd		
多晶	0.8/1.2	10^3	0.9			gnd	gate				
多晶	0.8/1.2	10^3	2.0							gnd	gate

(3) 不同天线比的 MOS 器件, 检查等离子体工序对器件参数的影响。

天线层次包括: 多晶、NSD、PSD、接触孔、金属 1、通孔、金属 2, 天线面积为 $10^4\mu\text{m}^2$, 检查充电损伤对器件特性的影响。

4 测试结果分析

等离子体损伤测试结构可作为工艺控制监测 (Process Control Modulation, PCM) 图形的一部分, 完成流片后, 对每个光刻场进行测量, 得到隧道电流在整个硅片的分布。电荷流通过氧化层时在氧化层中产生缺陷, 造成薄氧化层质量下降, 在 IV 特性上表现为恒压测试下电流逐渐降低 (或恒流测试下电压逐渐升高) 直至发生氧化层破坏性击穿, 电流越大, 表示损伤越小。结果表明随着天线比增加, 损伤加剧, 对于每个层次都可以检查到充电损伤, 当隧道孔面积大于 $25\mu\text{m}^2$ 后, 损伤显著降低, 表明等离子体充电损伤对大面积电容影响较小。

首先测量不加天线的电容的隧道电流, 作为天线引入等离子体充电损伤的参照。不带天线的电容结构隧道孔大小分别为 $0.7\mu\text{m}$, $0.9\mu\text{m}$, $5.0\mu\text{m}$, 由于不带天线, 隧道电流只与隧道孔面积相关, 电流中值分别为 3.5nA , 6.7nA , 150nA 。片内均匀性 (均值 \pm 标准偏差) 分别为 $3.5\text{nA} \pm 0.39\text{nA}$, $6.7\text{nA} \pm 0.61\text{nA}$, $145\text{nA} \pm 19\text{nA}$ 。

表 2 给出了不同工艺条件和天线比的隧道电流中值情况, 可以看出:

(1) 不同的介质淀积对电流影响很大, LP SiO_2 的隧道电流最大, 表明这种结构充电损伤最小; $\text{LP SiO}_2 + \text{PE BPSG}$ 结构的电流最小, 表明这种结构充电损伤最严重。

(2) PE BPSG 是介质淀积工艺中充电损伤的重要来源, 如果底层选择 PE SiO_2 , 不会发生明显的损伤, 如果底层选择 LPSiO_2 , 会出现最严重的充电损伤。这同时表

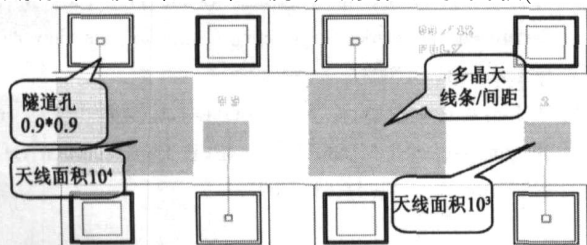


图3 电容多晶天线版图

表 2 不同工艺条件和天线比的隧道电流中值比较

介 质	隧道电流中值(nA)					
	隧道孔(μm)					
	0.7	0.9	5	0.7	0.9	5
	天线 1000			天线 10000		
PE 200nm SiO_2 + PE BPSG 600nm 无天线	3.50	6.70	150.0			
LP 200nm SiO_2 + PE BPSG 600nm 无天线	0.43	1.06	35.0			
LP 200nm SiO_2 无天线	4.50	8.30	130.0			
PE 200nm SiO_2 无天线	2.26	5.08	127.0			
PE 200nm SiO_2 + PE BPSG 600nm 多晶天线	2.18	4.67	132.0	0.67	2.48	117.0
LP 200nm SiO_2 + PE BPSG 600nm 多晶天线	1.52	3.58	93.5	0.48	2.06	74.9
LP 200nm SiO_2 多晶天线	1.30	2.90	89.0	0.48	1.60	82.0
PE 200nm SiO_2 多晶天线	1.40	3.10	91.0	0.46	1.80	83.0
PE 200nm SiO_2 + PE BPSG 600nm 孔天线	1.80	4.20	120.0	0.00	1.30	120.0
PE 200nm SiO_2 + PE BPSG 600nm 金属天线	1.95	4.33	116.0	0.55	2.39	128.0
PE 20nm SiO_2 + PE BPSG 600nm 多晶天线+ nplus	1.86	4.36	118.0	0.30	1.46	114.0
PE 20nm SiO_2 + PE BPSG 600nm 多晶天线+ pplus	1.00	2.50	51.0	0.21	1.20	53.0

明 LP SiO_2 屏蔽紫外光的能力很差。

(3) 随着天线比增加, 损伤加剧。

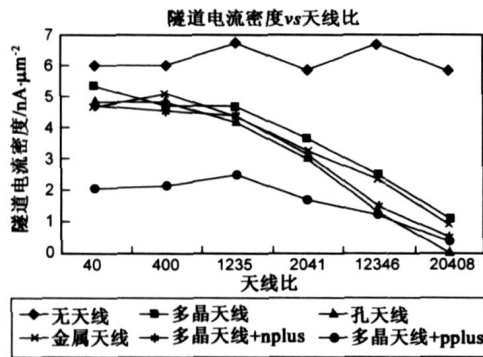


图 4 隧道电流与天线比

随着天线比增加, 电容失效百分比和隧道电流降低百分比都在增加, 图 4 给出了多晶、孔和金属天线结构不同天线比的隧道电流对比情况。电流密度由表 1 中的电流除以隧道孔面积得到, 考虑到工艺偏差, 版上孔边长为 5.0 μm 、0.9 μm 、0.7 μm 的孔面积分别为 25 μm^2 、1 μm^2 、0.6 μm^2 ; 天线比由天线面积除以隧道孔面积(版上面积)获得。由图可见:

(1) 随着天线比增加, 隧道电流密度降低, 表现出天线效应, 表明天线收集电流流过隧道氧化层造成氧化层中缺陷增加。

(2) 多晶天线+ pplus 结构的初始隧道电流密度小, 表明 pplus 注入(BF_2 70keV 3.0e15) 引入了很大充电损伤, 而 nplus 注入(As 70keV 5.0e15) 却没有影响, 这是由于注入过程中电子淋浴(e^- shower) 方式的区别, As 注入时, 束流为 5mA, 二次电子设为 10mA, BF_2 注入时, 束流为 2.2mA, 二次电子设为 4.5mA。

(3) 无天线结构的电流密度稳定, 没有变化趋势, 波动是由隧道孔面积的计算误差造成。

(4) 天线比小于 1000 时, 天线效应不明显, 天线比

大于 1000 以后, 天线效应开始显现。

5 结论

本文创新设计了带有多晶、孔、金属等天线监测结构的电容和器件, 采用测试隧道电流的方法, 定量分析了等离子体损伤对栅氧化层的影响。测试结构可以阵列布局在圆片的划片槽中, 测试方便、及时, 能够准确反馈电路片间、批间等离子损伤情况, 实现了圆片级工艺监控。流片结果表明, 等离子体充电损伤对大面积电容影响较小, 这是由于天线比较小的原因。对于多晶天线, LP SiO_2 的隧道电流最大, 表明这种结构充电损伤最小。PE BPSG 是介质淀积工艺中充电损伤的重要来源, LP SiO_2 + PE BPSG 结构的电流最小, 表明这种结构充电损伤最严重。工艺选择 PE SiO_2 + PE BPSG 结构, 中值电流能够相对增加 20%~30% 左右。随着天线比增加, 隧道电流密度降低, 当天线比大于 10^3 以后, 无论何种天线结构, 充电损伤变得明显。同时, 测试结果也显示了造成栅氧等离子体损伤最严重的工艺步骤, 对后续制造工艺优化和验证提供了技术支持。

作者简介:



赵彦彬 男, 出生于江苏金坛, 半导体物理专业, 博士研究生。就职于中电科技集团第 58 研究所, 从事 CMOS 集成电路工艺开发和 PCM 工作, 爱好工艺集成和 TCAD 方面的研究, 多次获省部级技术进步奖励。通信作者。
E-mail: justinzhao@ sina. com

李蕾蕾 女, 生于 1980 年, 现工作于中电科技集团第 58 研究所, 西安电子科技大学博士研究生, 参与国家自然科学基金、国家 863 和 973 项目, 并获多项奖励。

参考文献:

- [1] W Lukaszczek. Wafer Charging Damage in IC Process Equipment[DB/OL]. ECS International Semiconductor Technology Conference, Shanghai, China, 2001.
- [2] K P Cheung. Plasma Charging Damage[M]. Great Britain, Springer, 2001.
- [3] Stanley wolf Ph. D. Silicon process for the VLSI ERA[M]. Department of electrical engineering California State University, Lattice press, 2003.
- [4] W Lin. A new technique for measuring gate oxide leakage in charging protected MOSFETs[J]. IEEE Trans. Electron Devices, Apr. 2007, 54(4): 683-691.

(下转第 956 页)

参考文献:

- [1] WEISENHORN M, et al. Robust noncoherent receiver exploiting UWB channel properties[A]. Proceedings of International Workshop on Ultra Wideband Systems, Joint with Conference on Ultrawideband Systems and Technologies, Joint (UWBST & IWUWBS 2004)[C]. Kyom, Japna, 2004. 156- 160.
- [2] TIAN Z, et al. Weighted energy detection of ultra wideband signals[A]. Proceedings of IEEE 6th Workshop on Signal Processing Advances in Wireless Communications[C]. New York, USA. 2005. 158- 162.
- [3] X Peng, et al. A rake combining scheme for an energy detection based noncoherent OOK receiver in UWB impulse radio systems[C]. In IEEE ICUWB 06, Boston, USA. September 2006. 73- 78.
- [4] Kim Sekwon, et al. A selective signal combining scheme for noncoherent UWB systems[C]. In 2008 IEEE 10th International Symposium on Spread Spectrum Techniques and Applications-Proceedings. ISSSTA2008, Bologna, Italy. 2008. 313- 317.
- [5] MUSTAFA E. SAHIN, F SMAIL GUVENC. Joint parameter estimation for UWB energy detectors using OOK[J]. J. of Wireless Personal Communications, 2007, 40(4): 579- 591.
- [6] P A Humblet, et al. On the bit error rate of lightwave systems with optical amplifiers[J]. J. of Lightwave Technology, 1991, 9(11): 1576- 1582.
- [7] FOERSTER J. Channel Modeling Sub committee Report(Final)[R]. Technical Report IEEE P802. 15 02/368r5-SG3a, 2002.
- [8] D Kincaid, et al. Numerical Analysis: Mathematics of Scientific Computing[M]. Third ed. Beijing: Thomson Asia Pte Ltd and China Machine Press, 2003: 392- 405.
- [9] M K Simon, et al. Digital Communications Over Generalized Fading Channels: A Unified Approach to Performance Analysis[M]. New York: Wiley, 2000.

作者简介:



杨志华 男, 1978 年生于黑龙江绥化, 哈尔滨工业大学深圳研究生院博士研究生. 主要研究方向超宽带信号与系统、捕获与同步技术.
E-mail: yangzhihua@hitz.edu.cn



张钦宇 男, 1972 年生于江苏扬州, 哈尔滨工业大学深圳研究生院通信工程研究中心主任, 教授. 主要研究方向包括无线通信、生物医学电子、人工智能神经网络等.
E-mail: zqy@hit.edu.cn

(上接第 950 页)

- [5] W Lin, G. Sery. Role of source/drain junction on plasma induced gate charging damage in N MOSFET[J]. In Proc. 6th Int. Symp. 2001, P2ID: 112- 115.
- [6] Jer chou Tseng, Jenr gwo Hwu. Oxide Trapped Charges Induced by Electrostatic Discharge Impluse Stress [J]. IEEE Trans. Electron Devices, Jul 2007, 54(7): 1666- 1671.
- [7] S Y Wang, c ychin, P R Jeng. Mechanisms and solutions to gate oxide degradation in flash memory by tunnel oxide nitridation engineering[J]. IEEE Trans, Electron Device Lett., Jun. 2005, 26(6): 363- 365.
- [8] S Ma, Y Zhang. Gate induced drain leakage current enhanced by plasma charging damage[J]. IEEE Trans. Electron Devices, May 2001, 48(5): 1006- 1008.
- [9] W Lukaszek. Investigation of Electrorr Shading Effects during High Current Ion Implants 8th International Symposium on Plasma and Process Induced Damage[DB/OL]. Corbeil Essonnes, France, 2003.
- [10] 朱志炜, 郝跃, 张进城, 等. 离子体边缘损伤的横向分布测量[J]. 西安电子科技大学学报(自然科学版), 2002(1): 92- 95.
- [11] S Daryanani, J Shields. Comparison of Implant Charging Results Obtained with QUANTOXR and CHARMR 2[DB/OL].
- [12] C K Barlingay, R Yach, W Lukaszek. Mechanism of Charge Induced Plasma Damage to EPROM Cells During Fabrication of Integrated Circuits[DB/OL]. 7th International Symposium on Plasma and Process Induced Damage, June 2002, Hawaii.